

MOS-CONTROLLED THYRISTOR

Patent number: JP8083897
Publication date: 1996-03-26
Inventor: AJIT JANARDHANAN S
Applicant: INTERNATL RECTIFIER CORP
Classification:
- **International:** H01L29/74
- **European:**
Application number: JP19950185558 19950721
Priority number(s):

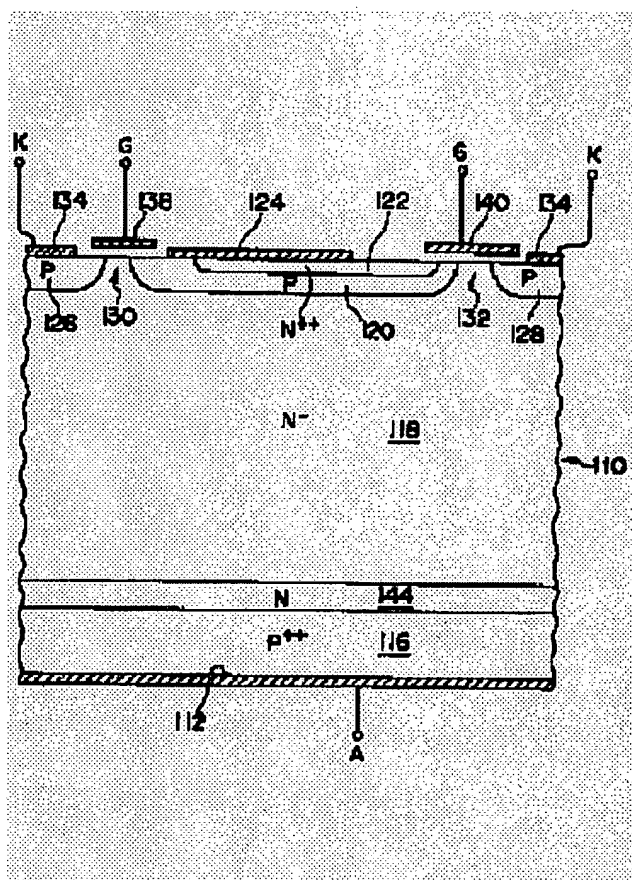
Also published as:

 US5444272 (A1)
GB2292009 (A)
FR2723260 (A1)
DE19526537 (A1)

Abstract of JP8083897

PROBLEM TO BE SOLVED: To provide a MOS-controlled thyristor, which has current saturation characteristic but no parasitic thyristor.

SOLUTION: A P⁺⁺-region 116 formed on the lower side of an N⁻-layer 118 is covered with an anode electrode 112. A P-type base 120, which is also a source of a MOSFET, is arranged in the layer 118, and an N⁺⁺-emitter region 122 is formed in this base 120. This region 122 is short-circuited with the base 120 by a floating metallic strap 124. P-type regions 126 and 128 are arranged separately from the base 120 in the lateral direction by small regions in the layer 118, and channel regions 130 and 132 are respectively formed of these small regions. The region 130 is covered with a first insulating gate 138 and with the region 132 covered with a second insulating gate 140, a part located between the regions 122 and 132 of the region 120 is covered with the gate 140. Cathode electrodes 134 are respectively connected with the regions 126 and 128 and the gates 138 and 140.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-83897

(43)公開日 平成8年(1996)3月26日

(51)IntCl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/74

H 0 1 L 29/ 74

N

審査請求 未請求 請求項の数9 OL (全 9 頁)

(21)出願番号 特願平7-185558

(22)出願日 平成7年(1995)7月21日

(31)優先権主張番号 2 8 1 9 1 7

(32)優先日 1994年7月28日

(33)優先権主張国 米国 (US)

(71)出願人 591107551

インターナショナル・レクチファイヤー・
コーポレーション

INTERNATIONAL RECTI-
FIER CORPORATION

アメリカ合衆国カリフォルニア州エル・セ
グンド、カンザス・ストリート233番

(72)発明者 ジャナルドハナン・エス・アジット

アメリカ合衆国90278カリフォルニア州レ
ドンド・ビーチ、クラーク・レイン・ナン
パー2、1916番

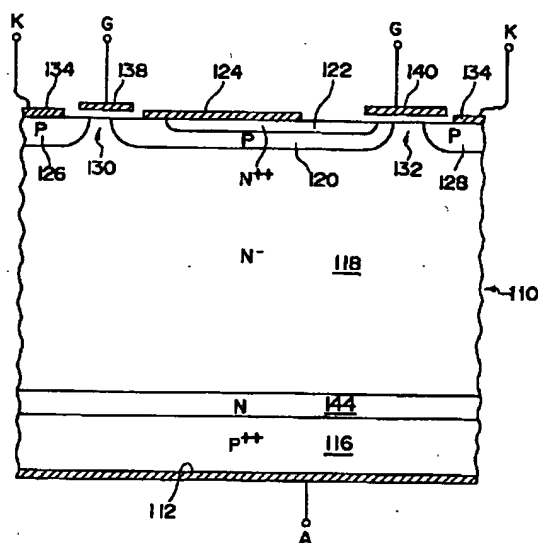
(74)代理人 弁理士 青山 葆 (外1名)

(54)【発明の名称】 MOS制御型サイリスタ

(57)【要約】

【課題】 電流飽和特性を有し、寄生サイリスタの無い
MOS制御型サイリスタを提供する。

【解決手段】 N⁻型層118の下側に形成されたP⁺⁺
型領域116をアノード電極112が覆う。N⁻型層1
18内にMOSFETのソースでもあるP型ベース12
0が配置され、この中にN⁺⁺型エミッタ領域122が形
成されている。これは、浮遊金属ストラップ124でP
型ベース120に短絡される。P型領域126、128
がN⁻型層118の小領域によってP型ベース120か
ら横方向に隔離して配置され、これら小領域はチャネル
領域130、132を形成する。第1絶縁ゲート138
はチャネル領域130を覆い、第2絶縁ゲート140は
チャネル領域132を覆うと共にN⁺⁺型エミッタ領域1
22とチャネル領域132との間のP型ベース領域12
0の一部分を覆う。カソード電極134はP型領域12
6、128および第1絶縁ゲート138に接続される。



【特許請求の範囲】

【請求項1】 互いに平行に隔離している平坦な第1および第2半導体表面を有する半導体材料のウェハーであって、前記第1半導体表面から延在するウェハーの厚みの少なくとも一部分は相対的に不純物濃度の低いN型層で構成されており、前記第2半導体表面から延在するウェハーの厚みの少なくとも一部分は相対的に不純物濃度の高いP型層で構成されている半導体材料のウェハーと、

前記相対的に不純物濃度の低いN型層内に形成され、前記第1半導体表面から該第1半導体表面の下方に第1深さまで延在しているP型ベースと、

前記P型ベース内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第1深さよりも浅い第2深さまで延在してN型エミッタとP型ベースとの接合部を形成するN型エミッタ領域であって、該N型エミッタ領域を前記P型ベースの周縁に沿った前記第1半導体表面に沿って径方向内側に隔離配置して前記P型ベースの周縁が前記第1半導体表面にまで延在するようにすることにより、前記周縁のうちの第1縁に沿って第1チャンネル領域を形成し、前記第1半導体表面に金属ストラップを設けて該金属ストラップで該N型エミッタ領域を前記周縁のうちの第2縁に沿った前記P型ベースに接続したN型エミッタ領域と、

前記相対的に不純物濃度の低いN型層内に形成され、前記ウェハーの前記第1半導体表面から延在している第1および第2P型領域であって、該第1および第2P型領域を前記P型ベースの前記第2および第1縁からそれぞれ横方向に隔離して前記相対的に不純物濃度の低いN型層内に第2および第3チャンネル領域をそれぞれ形成した第1および第2P型領域と、

少なくとも前記第2チャンネル領域の上に配置された、前記第1半導体表面上の第1ゲート絶縁層手段と、

前記第1ゲート絶縁層手段の上に配置され、前記第2チャンネル領域を覆う第1ゲート手段と、

少なくとも前記第1および第3チャンネル領域の上に配置された、前記第1半導体表面上の第2ゲート絶縁層手段と、

前記第2ゲート絶縁層手段の上に配置され、前記第1および第3チャンネル領域を覆う第2ゲート手段と、

前記第2半導体表面に配置された前記P型層に接続されたアノード電極手段と、

前記第1半導体表面上の前記第1および第2P型領域と前記第1ゲート手段とに接続されたカソード電極手段と、

前記第2ゲート手段に接続されたゲート電極手段と、を備えるMOS制御型サイリスタ。

【請求項2】 請求項1に記載のMOS制御型サイリスタであって、

前記P型層と前記相対的に不純物濃度の低いN型層との

間に配置されたN型層を更に備えるMOS制御型サイリスタ。

【請求項3】 請求項1に記載のMOS制御型サイリスタにおいて、

前記N型エミッタは、サイリスタがオン状態のときに前記N型エミッタとP型ベースとの接合部を順方向にバイアスするために十分な電圧降下を前記P型ベースにおいて生じさせる横方向の長さを有しているMOS制御型サイリスタ。

10 【請求項4】 請求項1に記載のMOS制御型サイリスタにおいて、

前記P型層および前記N型エミッタ領域の不純物濃度が相対的に高いMOS制御型サイリスタ。

【請求項5】 互いに平行に隔離している平坦な第1および第2半導体表面を有する半導体材料のウェハーであって、前記第1半導体表面から延在するウェハーの厚みの少なくとも一部分は相対的に不純物濃度の低いN型層で構成されており、前記第2半導体表面から延在するウェハーの厚みの少なくとも一部分は相対的に不純物濃度の高いP型層で構成されている半導体材料のウェハーと、

前記相対的に不純物濃度の低いN型層内に形成され、前記第1半導体表面から該第1半導体表面の下方に第1深さまで延在しているP型ベースと、

前記P型ベース内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第1深さよりも浅い第2深さまで延在してN型エミッタとP型ベースとの接合部を形成するN型エミッタ領域であって、該N型エミッタ領域を前記P型ベースの周縁に沿った前記第1半導体表面に沿って径方向内側に隔離して前記P型ベースの周縁が前記第1半導体表面にまで延在するようにすることにより、前記周縁に沿って第1および第2チャンネル領域を形成したN型エミッタ領域と、

前記相対的に不純物濃度の低いN型層内に形成され、前記ウェハーの前記第1半導体表面から延在している第1および第2P型領域であって、該第1および第2P型領域を互いに横方向に隔離するとともに前記P型ベースからも横方向に隔離して前記相対的に不純物濃度の低いN型層内に第3および第4チャンネル領域をそれぞれ形成し、前記第1半導体表面に金属ストラップを設けて該金属ストラップで前記N型エミッタ領域を該第2P型領域に接続した第1および第2P型領域と、

前記相対的に不純物濃度の低いN型層内に形成され、前記ウェハーの前記第1半導体表面から延在している第3P型領域であって、該第3P型領域を前記P型ベースから横方向に隔離して前記N型層内に第5チャンネル領域を形成した第3P型領域と、

少なくとも前記第3チャンネル領域の上に配置された、前記第1半導体表面上の第1ゲート絶縁層手段と、

前記第1ゲート絶縁層手段の上に配置され、前記第3チ

40

50

チャンネル領域を覆う第1ゲート手段と、
 少なくとも前記第1および第4チャンネル領域の上に配置された、前記第1半導体表面上の第2ゲート絶縁層手段と、
 前記第2ゲート絶縁層手段の上に配置され、前記第1および第4チャンネル領域を覆う第2ゲート手段と、
 少なくとも前記第2および第5チャンネル領域の上に配置された、前記第1半導体表面上の第3ゲート絶縁層手段と、
 前記第3ゲート絶縁層手段の上に配置され、前記第2および第5チャンネル領域を覆う第3ゲート手段と、
 前記第2半導体表面に配置された前記P型層に接続されたアノード電極手段と、
 前記第1半導体表面上の前記第1および第3P型領域と前記第1ゲート手段とに接続されたカソード電極手段と、
 前記第2および第3ゲート手段に接続されたゲート電極手段と、を備えるMOS制御型サイリスタ。
 【請求項6】 請求項5に記載のMOS制御型サイリスタであって、
 前記P型層と前記相対的に不純物濃度の低いN型層との間に配置されたN型層を更に備えるMOS制御型サイリスタ。
 【請求項7】 互いに平行に隔離している平坦な第1および第2半導体表面を有する半導体材料のウェハであって、前記第1半導体表面から延在するウェハの厚みの少なくとも一部分は相対的に不純物濃度の低いN型層で構成されており、前記第2半導体表面から延在するウェハの厚みの少なくとも一部分は相対的に不純物濃度の高いP型層で構成されている半導体材料のウェハと、
 前記相対的に不純物濃度の低いN型層内に形成され、前記第1半導体表面から該第1半導体表面の下方に第1深さまで延在しているP型ベースと、
 前記P型ベース内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第1深さよりも浅い第2深さまで延在してN型エミッタとP型ベースとの接合部を形成するN型エミッタ領域であって、該N型エミッタ領域を前記P型ベースの一つの周縁に沿った前記第1半導体表面に沿って径方向内側に隔離して前記P型ベースの該周縁が前記第1半導体表面にまで延在するようにすることにより、該周縁に沿って第1チャンネル領域を形成したN型エミッタ領域と、
 前記相対的に不純物濃度の低いN型層内に形成され、前記ウェハの前記第1半導体表面から延在している第1および第2P型領域であって、該第1および第2P型領域を互いに横方向に隔離するとともに該第2P型領域を前記P型ベースから横方向に隔離して前記相対的に不純物濃度の低いN型層内に第2および第3チャンネル領域をそれぞれ形成し、前記第1半導体表面に金属ストラップ

を設けて該金属ストラップで前記N型エミッタ領域を該第2P型領域に接続した第1および第2P型領域と、
 少なくとも前記第2チャンネル領域の上に配置された、前記第1半導体表面上の第1ゲート絶縁層手段と、
 前記第1ゲート絶縁層手段の上に配置され、前記第2チャンネル領域を覆う第1ゲート手段と、
 少なくとも前記第1および第3チャンネル領域の上に配置された、前記第1半導体表面上の第2ゲート絶縁層手段と、
 前記第2ゲート絶縁層手段の上に配置され、前記第1および第3チャンネル領域を覆う第2ゲート手段と、
 前記第2半導体表面に配置された前記P型層に接続されたアノード電極手段と、
 前記第1半導体表面上の前記第1P型領域と前記第1ゲート手段とに接続されたカソード電極手段と、
 前記第2ゲート手段に接続されたゲート電極手段と、を備えるMOS制御型サイリスタ。
 【請求項8】 請求項5に記載のMOS制御型サイリスタにおいて、
 前記第1、第2および第3P型領域と前記P型ベースとは不純物濃度が相対的に高く、前記P型層と前記N型エミッタとは不純物濃度が相対的に非常に高いMOS制御型サイリスタ。
 【請求項9】 請求項5に記載のMOS制御型サイリスタにおいて、
 前記第2ゲート手段は電氣的に浮いているか又は存在しないMOS制御型サイリスタ。
 【発明の詳細な説明】
 【0001】
 【発明の属する技術分野】本発明は、MOS制御型サイリスタに関し、より詳しくは、電流飽和特性を有し、寄生サイリスタ構造の存在しないMOS制御型三端子サイリスタに関する。
 【0002】
 【従来の技術】バイポーラ導電機構とMOS制御機構とを組み合わせたパワー半導体構造は周知である。絶縁ゲート・バイポーラ・トランジスタ(IGBT)はこのようなデバイスの一例であって、このIGBTでは、バイポーラ構造体のベース電流が、集積化されたMOSFETを介して制御される。このIGBTは、600ボルト程度の阻止電圧を有する高電圧の電力の用途に最も適している。より高い電圧を扱うことができるIGBTは、オン状態の電圧降下がより大きいという欠点がある。サイリスタを通してオン電流を流すことによりオン状態の電圧降下を低くすることができるため、MOSゲート型サイリスタは、大電流、高電圧の用途において相当な関心を持たれている。
 【0003】
 【発明が解決しようとする課題】MOSゲート型サイリスタとして、MOS制御型サイリスタ(MCT)とエミ

ッタ・スイッチ型サイリスタ (EST) の2種類がある。1984年12月サンフランシスコで開催されたアイトリブルイー・インターナショナル・エレクトロン・デバイス・ミーティング (アイディーエム) のテクニカル・ダイジェスト (IEEE International Electron Device Meeting (IDEM) Technical Digest) の第282頁～第285頁におけるテンブル (V. A. K. Temple) による論文において述べられているように、MCTでは、カソード短絡回路がMOSゲートを介してスイッチされる。しかし、複雑な製造上の要件とターンオフ中における電流線条化の問題 (current filamentation problem) のため、および電流飽和特性を有していないため、MCTの商用化は限定されたものであった。

【0004】ESTは、図1に示すように、基本的にはサイリスタにMOSFETが直列につながる構成となっており、「エミッタ・スイッチ型 (emitter-switched)」と呼ばれている。このESTは、MCTよりも製造が容易である。ESTは、電流飽和特性を示すが、図1に示すように、ゲートで制御されるnチャネルMOSFETに対してバイパスを形成する固有の寄生サイリスタによる制約が存在する。したがって、電流飽和特性を有するが、そのデバイス内の寄生サイリスタ構造によって制約されることの無いESTが必要とされている。

【0005】本発明は、従来技術の欠点を克服し、MOS制御型サイリスタを提供することによって上述の目的を達成するものである。

【0006】

【課題を解決するための手段】本発明に係るMOS制御型サイリスタは、第1の実施の形態では、互いに平行に隔離している平坦な第1および第2半導体表面を有する半導体材料のウェハーを含んでいる。第1半導体表面からは相対的に不純物濃度の低いN型層が延在しており、第2半導体表面からはP型層が延在している。

【0007】P型ベースが前記相対的に不純物濃度の低いN型層内に形成され、該P型ベースは前記第1半導体表面から該第1半導体表面の下方に第1深さまで延在している。N型エミッタ領域が該P型ベース内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第1深さよりも浅い第2深さまで延在してN型エミッタとP型ベースとの接合部を形成し、該N型エミッタ領域を前記P型ベースの周縁に沿った前記第1半導体表面に沿って径方向内側に隔離配置して前記P型ベースの周縁が前記第1半導体表面にまで延在するようにし、これにより、該周縁のうちの第1縁に沿って第1チャネル領域を形成している。前記第1半導体表面に金属ストラップを配置し、該金属ストラップで前記N型エミッタ領域を前記周縁のうちの第2縁に沿った前記P型ベースに接続している。

【0008】第1および第2P型領域が前記相対的に不純物濃度の低いN型層内に形成され、該第1および第2

P型領域は前記ウェハーの前記第1半導体表面から延在している。該第1および第2P型領域は前記P型ベースの前記第2および第1縁からそれぞれ横方向に隔離しており、両者間に相対的に不純物濃度の低いN型層が前記第1半導体表面まで延在して第2および第3チャネル領域をそれぞれ形成するように構成している。

【0009】第1ゲート絶縁層が前記第1半導体表面に形成され、少なくとも前記第2チャネル領域の上方を延在している。該第1ゲート絶縁層の上には第1ゲートが形成され、前記第2チャネル領域を覆っている。

【0010】第2ゲート絶縁層が前記第1半導体表面に形成され、少なくとも前記第1および第3チャネル領域の上方を延在している。該第2ゲート絶縁層の上には第2ゲートが配置され、前記第1および第3チャネル領域を覆っている。

【0011】絶縁された前記第2ゲートにはゲート電極が接続されている。

【0012】前記第2半導体表面に形成された前記P型層にはアノード電極が接続されている。前記第1半導体表面上の第1および第2P型領域にはカソード電極が接続されており、該カソード電極は、絶縁された前記第1ゲートにも接続されている。

【0013】本発明に係るMOS制御型サイリスタは、前記P型層と前記相対的に不純物濃度の低いN型層との間に配置されたN型層を更に備えることが好ましい。前記P型層と前記N型エミッタとは不純物濃度が相対的に高いことが好ましい。

【0014】上述の第1の実施の形態であるMOS制御型サイリスタでは、前記N型エミッタは、サイリスタがオン状態のときに前記N型エミッタとP型ベースとの接合部を順方向にバイアスするために十分な電圧降下を前記P型ベースにおいて生じさせる横方向の長さを有しており、これはサイリスタをオン状態にラッチするために必要である。したがって、P型ベースは、相対的に長く不純物濃度が低くなるように作製されなければならない。しかし、他の実施の形態ではこの要件は不要である。

【0015】上記他の実施の形態では、第1および第2P型領域が互いに横方向に間隔をあけて隣接しており、そのうち第2P型領域のみが横方向に間隔をあけて前記P型ベースに隣接している。第3P型領域が横方向に間隔をあけて前記P型ベースに隣接している。この実施の形態において前記金属ストラップは、前記N型エミッタを前記P型ベースに接続している。第1絶縁ゲートが、前記第1および第2P型領域の間の前記N型層における前記チャネル領域を覆っており、第2絶縁ゲートが前記第2P型領域と前記P型ベースとの間の前記N型層における前記チャネル領域を覆っている。また該第2絶縁ゲートは、前記N型エミッタと前記相対的に不純物濃度の低いN型層との間の前記P型ベースの周縁に形成された

前記チャネル領域をも覆っている。第3絶縁ゲートが、前記P型ベースと前記第3P型領域との間の前記N型層における前記チャネル領域を覆っている。また該第3絶縁ゲートは、前記N型エミッタと前記相対的に不純物濃度の低いN型層との間の前記P型ベースの前記第2縁に形成された前記チャネル領域をも覆っている。該第3絶縁ゲートは、電氣的に前記第2絶縁ゲートに接続されており、また、所望に応じて、前記第2絶縁ゲートを浮いたままにしておくか、または除去してもよい。前記第1および第3P型領域と前記第1絶縁ゲートには、前記第1半導体表面上の前記カソードが接している。前記第2半導体表面上に配置された前記P型層にはアノード電極が接続されている。前記第3絶縁ゲートにはゲート電極が接続されている。

【0016】前記第1の実施の形態におけるように、前記P型層と前記相対的に不純物濃度の低いN型層との間に配置されたN型層を更に備えることが好ましい。

【0017】前記第1、第2および第3P型領域と前記P型ベースとは不純物濃度が相対的に高く、前記P型層と前記N型エミッタ領域とは不純物濃度が相対的に非常に高いことが好ましい。所望に応じて、前記第1および第2P型領域の間の前記チャネル領域に相対的に不純物濃度の低いP型領域を設けてディプレッション形pチャネルMOSFETを形成してもよい。また所望に応じて、第3P型領域を不要としてもよい。

【0018】本発明における全ての実施の形態では、寄生サイリスタが無く、電流飽和特性を有するという利点がある。全ての実施の形態においてターンオフ中はエミッタとベースとの接合部が逆方向にバイアスされるため、より優れたターンオフ特性、および、より広い安全動作領域が本発明によって実現される。さらに、接合パターンを容易に作製することができる。

【0019】本発明の他の特徴および利点は、添付図面を参照しつつ行われる本発明についての以下の説明から明らかとなるであろう。

【0020】

【発明の実施の形態】本発明に係るMOS制御型サイリスタの第1の実施の形態を図2に示す。MOS制御型サイリスタ110は垂直導通型のデバイスである。

【0021】N型層114および不純物濃度の非常に高いP⁺型領域116が、N⁻型層118の下側に形成されている。低電圧の用途(<1200V)に対しては、N⁻層118をN型エピタキシャル層/P⁺基板(N⁻epi/P⁺substrate)の上にエピタキシャル成長させるのが好ましい。高電圧の用途(>1200V)に対しては、N⁻層118を出発の基板材料とするのが好ましく、N型層114およびP⁺型領域116を後方拡散によって形成する。

【0022】デバイスの底部表面上のアノード電極112は、P⁺型領域116を覆っている。アノード電極112はアノード端子Aに接続されている。

【0023】層の厚みおよび不純物濃度はデバイスの阻止電圧に依存する。2,500Vのデバイスに対しては、N⁻型ドリフト領域の不純物濃度および厚みは、それぞれ約 $2 \times 10^{13} \text{ cm}^{-3}$ および約500 μm である。P⁺型領域116は、不純物濃度を $5 \times 10^{19} \text{ cm}^{-3}$ よりも高くし、厚みを1 μm よりも厚くするのが好ましい。N型層114は、不純物濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 程度とし、厚みを7 μm 程度とするのが好ましい。

【0024】N⁻型層118内にP型ベース120が形成されており、以下において更に詳しく説明するように、このP型ベース120は本デバイスのpチャネルMOSFETのソースをも形成する。P型ベース120内にはN⁺型エミッタ領域122が配置されており、この領域は、デバイスの上部表面上の浮遊金属ストラップ124(これはデバイスのどの電極にも接続されていない)を介してP型ベース120に電氣的に短絡されている。

【0025】P型ベース120は、P型領域126、128によって取り囲まれているが、ウェハ表面まで延在してチャネル領域130、132をそれぞれ形成するN⁻型層118の比較的小さい領域によってP型領域126、128とは隔離されている。

【0026】第1絶縁ゲート138はチャネル領域130を覆っている。ゲート端子Gにつながれた第2絶縁ゲート140は、チャネル領域132を覆い、更に、ウェハの上部表面におけるN⁺型エミッタ領域122とチャネル領域132との間のP型ベース120の一部分を覆っている。ゲート138、140は、好ましくはポリシリコンで構成されており、酸化物層(図2には示されていない)によってデバイスの上部表面から絶縁されている。カソード端子Kに接続されたカソード電極134は、P型領域126および128と第1絶縁ゲート138とにオーミック接触している。

【0027】図2に示したデバイスの動作は以下の通りである。オン状態(アノード112がカソード134に対して正の電位となっている)において、ゲート140に印加される電圧は、ゲート140の下方のnチャネルMOSFET(P型ベース120内)をターンオンするのに十分な正の電圧である。これにより、アノード電圧が上昇するとP型ベース120の電位が上昇する。ゲート138とP型ベース120との間の電位差がゲート138のpチャネルMOSFETの閾値電圧よりも大きくなるほどにP型ベース120の電位が上昇すると、ゲート138の下方のpチャネルMOSFETがターンオンし、P型ベース120をN⁻層130の表面に形成された反転のpチャネルを介してP型領域126に接続する。これにより、P⁺型領域116、N型層114、N⁻型層118を通り、ウェハの表面のP型ベース120内のnチャネル(ゲート140によって形成される)を通り、N⁺型エミッタ122を横切り、P型ベース1

20へと至る金属ストラップ124を通り、チャネル領域130内のpチャネル(ゲート138によって形成される)を通り、カソード126へと至るP型領域130を通過して、アノードからカソードまで(図2における上方向)の導通路を生成することにより、サイリスタ110をトリガしてオン状態とする。

【0028】N⁺型エミッタ122の横方向の長さは、N⁺型エミッタとP型ベースとの接合部をオン状態において順方向にバイアスして、領域122、120、118、114および116によって形成されるサイリスタをターンオンするために十分な電圧降下が生じるように設計されている。これにより、サイリスタの電流の大半は、ゲート140の下方向のnチャネルを避け、代わりに、P⁺型領域116からデバイスを上方向にまっすぐに流れ、層114、118、120を通過してN⁺型エミッタ122へ至り、そして浮遊金属ストラップ124を経て120へ至り、その後、ゲート138の下方向のpチャネルMOSFETを通過して、さらにP型領域126を通過してカソード134に到達する。

【0029】ゲート138の下方向のpチャネルMOSFETはサイリスタ(領域116、114、118、120、122からなる)と直列につながっているため、デバイスを通過する電流は、ゲート138の下方向のpチャネルMOSFETの飽和電流によって制限される。したがって、デバイスは電流飽和特性を有する。

【0030】デバイスをターンオフするためには、カソードに対して十分に負の電圧をゲート140に印加する(ゲート140の下方向のnチャネルMOSFETをターンオフし、ゲート140の下方向のpチャネルMOSFETをターンオンするためである)。すると、P型ベース120が、カソードと電氣的に接続されているP型領域128につながる。ゲート138、140のこれら各電位は、順方向阻止状態(アノードがカソードに対して正の電位)において維持される。ゲート140を負の電位とすると、サイリスタのP型ベース120がN⁺型エミッタ122よりも低い電位に保持されるため、デバイスの降伏電圧が高くなる。

【0031】順方向阻止状態ではN⁺型エミッタとP型ベースとの接合が逆方向にバイアスされていることに注意すべきである。この点はエミッタ・オープン・ターンオフの場合に類似しており、したがって、より優れた降伏特性、ターンオフ特性、および、より広い安全動作領域が本発明によって実現される。この点については、例えば、ジャクソン(B. Jackson)およびチェン(D. Chen)による「Effects of emitter-open switching on the turn-off characteristics of high voltage power transistors (高電圧パワートランジスタのターンオフ特性に対するエミッタ・オープン・スイッチングの効果)」, Power Electronics Specialist Conference, June 1980 を参照されたい。

【0032】本発明に係る高電圧MOS制御型サイリスタのオン状態における電圧降下は、高電圧サイリスタ(領域112、116、114、118、120、122からなる)による電圧降下と、ゲート138の下方向の低電圧pチャネルMOSFET(領域120、130、126、134からなる)による電圧降下とを足し合わせたものである。より高い降伏電圧を有するようにデバイスを設計したとき、高電圧サイリスタによる電圧降下は大きくは増加しない。これに対し、IGBTでは、より高い降伏電圧となるようにIGBTを設計すると、オン状態における電圧降下が増加する。これは、サイリスタではドリフト領域全体の伝導度に変調されるが、IGBTではドリフト領域の底部のみの伝導度に変調されるからである。したがって、本発明に係るMOS制御型サイリスタには、より降伏電圧の高い(>1200V)デバイスにおける同一の電流に対して、IGBTよりも順方向の電圧降下が低いという利点がある。

【0033】上記に加えて、本発明には、既に説明したオン状態における電流飽和特性のため、短絡防止策を採る必要がないという利点がある。これはMCTと比較した場合の主要な利点である。また、本発明には性能を低下させる寄生サイリスタを有さないという利点もある。これは従来技術であるESTと比較した場合の主要な利点である。

【0034】最後に、本発明はMCTに比較してターンオフ損失が低いという利点がある。既に説明したように、本発明に係るデバイスでは、P型ベースは横方向のpチャネルMOSFETを介して接地電位に接続されており、N⁺型エミッタとP型ベースとの接合部が逆方向にバイアスされている。これは、逆ベース駆動を行って、MCTよりも速くサイリスタの動作を中断し、これによって電流をより速く減少させることにより、NPNトランジスタを不活性化する。本発明に係るデバイスのターンオフ時間は、このようにしてIGBT(これはオープン・ベースのPNPトランジスタのターンオフ時間とはほぼ等しいターンオフ時間を有する)のターンオフ時間に近くなる。

【0035】上記において説明し図2に示した本発明の実施の形態は、NPNトランジスタを順方向にバイアスしてサイリスタをラッチするのに、P型ベース120に沿った横方向の電圧降下を利用したものである。したがって、P型ベース120は、比較的長く不純物濃度が低くなるように作製する必要がある。これに対し、図3に示す他の実施の形態は、これを不要としたものである。

【0036】図2と同様、図3のMOS制御型サイリスタ210は垂直導通型のデバイスであって、N型層214および不純物濃度の極めて高いP⁺型領域216がN⁺型層218の下側に配置されている。デバイスの底部表面上のアノード212はP⁺型領域216を覆っている。層の厚みおよび不純物濃度はデバイスの阻止電圧に

依存し、図2のデバイスの場合と同一である。

【0037】N⁺層218内には下記のものが配置されている。

1) P⁺型ベース221。

2) デバイスのpチャネルMOSFETのソースを形成するP⁺型領域219。これについては以下でさらに詳述する。

3) デバイスにおけるpチャネルMOSFETの各ドレインを形成するP⁺型領域226および228。これについては以下でさらに詳述する。

【0038】N⁺型エミッタ領域222は、P⁺型ベース221内に形成され、デバイス上部の表面上の浮遊金属ストラップ224（これはデバイスのどの電極にも接続されていない）によってP⁺型領域219に電氣的に短絡されている。

【0039】P⁺型領域226と219、P⁺型領域219と221、およびP⁺型領域221と228は、ウェハの表面まで延在して各チャネル領域230、231、233を形成するN⁺型層218の比較的小さい領域により隔離されている。

【0040】第1絶縁ゲート238はチャネル領域230を覆っている。第2絶縁ゲート240はチャネル領域233を覆うとともに、ウェハの上部表面におけるN⁺型エミッタ領域222とチャネル領域233との間のP⁺型ベース221の部分の覆っている。第3絶縁ゲート241は、チャネル領域231を覆うとともに、ウェハの上部表面におけるN⁺型エミッタ領域222とチャネル領域231との間のP⁺型ベース221の部分の覆っている。ゲート238、240、241は好ましくはポリシリコンで構成されており、酸化物層（図3には示されていない）によってデバイスの上部表面から絶縁されている。ゲート240と241は一緒につながれていてもよい（電氣的に接続されていてもよい）。ゲート240はゲート電極に接触している。カソード電極234は、P型領域226および228と第1絶縁ゲート238とにオーミック接触している。

【0041】図3に示したデバイスの動作は以下の通りである。オン状態（アノード212がカソード234に対して正の電位となっている）において、ゲート241および240に印加される電圧は、ゲート241および240の下方のnチャネルMOSFET（P⁺型ベース221内）をターンオンするのに十分な正の電圧である。これにより、アノード電圧が上昇するとP⁺型領域219の電位が上昇する。ゲート238とP型領域218との間の電位差がゲート238の下方のpチャネルMOSFETの閾値電圧よりも大きくなるほどにP⁺型領域219の電位が上昇すると、ゲート238の下方のpチャネルMOSFETがターンオンし、P⁺型領域219をN⁺層230の表面に形成された反転のpチャネルを介してP⁺型領域226に接続する。

【0042】この状況において、N⁺型エミッタ222が金属ストラップ224とチャネル領域230の反転によって形成される横方向PMOSとを介して接地電位に接続され、領域216、214、218、221によって形成される垂直構造のPNPトランジスタに対するベース駆動が、ゲート240、241の下方のnチャネルMOSFETを介してなされる。P⁺型領域とN型領域との接合に約0.7ボルトだけ順方向にバイアスされると、P⁺型領域216は、領域222、221、218、214によって形成されたNPNトランジスタに対するベース駆動を行わす正孔の注入を開始し、これにより、領域216、214、218、221、222によって形成されたサイリスタがラッチ状態に移行する。

【0043】したがって、これにより、P⁺型領域216、N型層214、N⁺型層218を通り、ウェハ表面のP⁺型ベース221内のnチャネル（ゲート241および240によって形成される）を通り、N⁺型エミッタ222を横切り、金属ストラップ224を通してP⁺型領域219へ至り、チャネル領域230内のpチャネル（ゲート238によって形成される）を通り、カソード234へと至るP⁺型領域226を通して、アノードからカソードまで（図3における上方向）通じる導通路を生成することにより、サイリスタ210をトリガしてオン状態とする。

【0044】領域216、214、218、221および222によって形成されるサイリスタがターンオンされた後、電流の大半は、ゲート241および240の下方のnチャネルを避け、代わりに、P⁺型領域216からデバイスを上方向にまっすぐに流れ、領域214、218、221を通過してN⁺型エミッタ222へ至り、そして浮遊金属ストラップ224を経てP⁺型領域219へ至り、その後、ゲート238の下方のpチャネルMOSFETを通過してP⁺型領域226へ至り、そしてカソード234に到達する。

【0045】ゲート238の下方のpチャネルMOSFETはサイリスタ（領域216、214、218、221、222からなる）に直列につながっているため、デバイスを通過する電流は、ゲート238の下方のpチャネルMOSFETの飽和電流によって制限される。したがって、図3のデバイスは、図2のデバイスと同様に、電流飽和特性を有する。

【0046】このサイリスタには、ゲート240、241の電圧を十分な負の値（これはゲート240および241の下方のnチャネルMOSFETをターンオフし、ゲート240の下方のpチャネルMOSFETをターンオンし、これによりP⁺型ベース221が、カソードと電氣的に接続されているP⁺型領域228につながる。）にまで低下させるだけでターンオフすることができるという利点がある。ゲート240、241のこれら各電位は、順方向阻止状態（アノードがカソードに対し

13

て正の電位)において維持される。ゲート240を負の電位とすると、サイリスタのP⁺型ベース221がN⁺⁺型エミッタ222よりも低い電位に保持されるため、デバイスの降伏電圧が高くなる。

【0047】図4は、図3のデバイスの変形例を示すもので、図3のデバイスにおけるP⁺型領域228と、この領域に接触していたカソード234と、ゲート240と、チャネル領域233とを除去している。この実施の形態では、ターンオフ中の順方向阻止状態において、N⁺⁺型エミッタ222は、浮遊金属ストラップ224およびゲート241の下方のpチャネル領域231を介してP⁺型ベース領域221に短絡されるだけである。

【0048】なお、図3のデバイスにおいて、ゲート241を用いないか、または、ゲート241を電氣的に浮かせておいてもよい。

【0049】以上では本発明を特定の実施の形態に関連づけて説明したが、当業者にとっては他の変形(例えば、表面の平坦なゲートの代わりにトレンチ・ゲートを使用し、ゲートやチャネル領域の異なる配列を使用するもの)が容易にわかるであろう。したがって、本発明は、ここでの特定の開示内容に限定されるものではなく、添付された請求の範囲に基づいて解釈すべきである。

【図面の簡単な説明】

*

14

*【図1】 典型的な従来技術であるエミッタ・スイッチ型サイリスタ(EST)の断面図。

【図2】 本発明の第1の実施の形態の断面図。

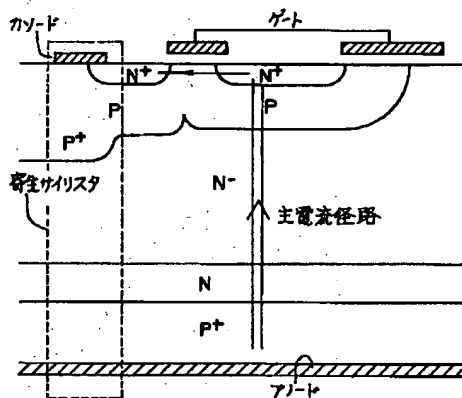
【図3】 本発明の第2の実施の形態の断面図。

【図4】 第3 P型領域を有せず、それに対応する第3ゲートも有さない、図3の実施の形態を変形した実施の形態の断面図。

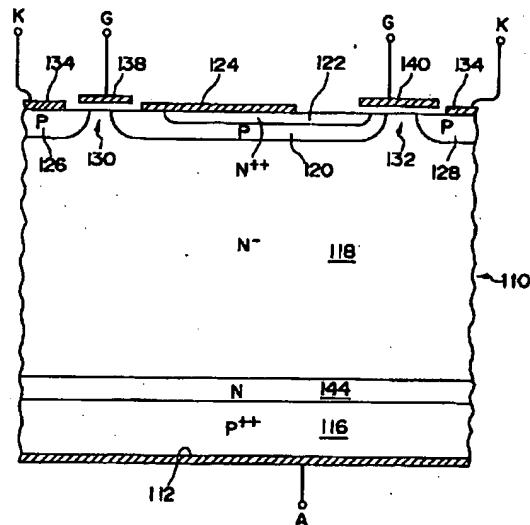
【符号の説明】

- | | |
|-------------------------|--------------------------|
| 110, 210 | …MOS制御型サイリスタ |
| 112, 212 | …アノード電極 |
| 114, 214 | …N型層 |
| 116, 216 | …P ⁺ 型領域 |
| 118, 218 | …N ⁻ 型層 |
| 120 | …P型ベース(ソース) |
| 221 | …P ⁺ 型ベース |
| 122, 222 | …N ⁺⁺ 型エミッタ領域 |
| 124, 224 | …浮遊金属ストラップ |
| 126, 128 | …P型領域 |
| 219, 226, 228 | …P ⁺ 型領域 |
| 130, 132, 230, 231, 233 | …チャネル領域 |
| 134, 234 | …カソード電極 |
| 138, 140, 238, 240, 241 | …ゲート |

【図1】



【図2】



【図4】

